

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 8 日
Date of Application:

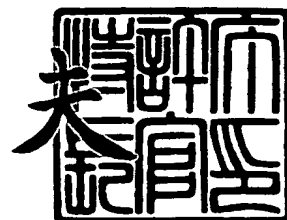
出 願 番 号 特 願 2 0 0 2 - 3 4 5 1 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 5 1 1 0]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 9 月 1 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 KGA1020089

【提出日】 平成14年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/38

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

【氏名】 山田 進

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100071283

【弁理士】

【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 逐次比較型 A/D コンバータおよびマイクロコンピュータ

【特許請求の範囲】

【請求項 1】 アナログ値を m ビットのデジタル値に変換するための基準値を各接続部に発生する直列抵抗体と、前記アナログ値および前記基準値の何れかを順次比較してデジタル値を出力する比較器と、を有する逐次比較型 A/D コンバータにおいて、

前記基準値の何れかを容量比で分配する複数の容量素子と、

前記比較器が m ビットのデジタル値を出力したとき、前記比較器で前記アナログ値と比較される値を、前記基準値から前記複数の容量素子の分配値へ切り替える制御部と、を備え、

前記アナログ値を $(m+n)$ ビットのデジタル値に変換することを特徴とする逐次比較型 A/D コンバータ。

【請求項 2】 前記複数の容量素子は、前記直列抵抗体の所定の接続部に発生する基準値の差を、前記容量比で分配することを特徴とする請求項 1 記載の逐次比較型 A/D コンバータ。

【請求項 3】 前記複数の容量素子は、第 1 容量素子および第 2 容量素子からなり、

前記第 1 容量素子および前記第 2 容量素子は、前記基準値の何れかと接地との間に直列接続され、前記第 1 容量素子および前記第 2 容量素子の接続部は、前記比較器で前記アナログ値が入力されない側の入力と接続されることを特徴とする請求項 2 記載の逐次比較型 A/D コンバータ。

【請求項 4】 前記第 1 容量素子および前記第 2 容量素子の容量比は、前記 $(m+n)$ ビットに応じて、 $1 : (2^n - 1)$ であることを特徴とする請求項 3 記載の逐次比較型 A/D コンバータ。

【請求項 5】 前記制御部の出力に基づいて、前記基準値が前記比較部へ入力されるのをオンオフするスイッチ回路を、有することを特徴とする請求項 1 乃至 4 の何れかに記載の逐次比較型 A/D コンバータ。

【請求項 6】 請求項 1 記載の逐次比較型 A/D コンバータを有することを特

徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、逐次比較型 A/D コンバータおよびマイクロコンピュータに関する。

【0002】

【従来の技術】

逐次比較型 A/D コンバータは、直列抵抗体を有し、この直列抵抗体の各接続部に発生する基準値とアナログ値とを $1/2$ 近似法で順次比較して、アナログ値を m ビットのデジタル値に変換するものである。上記の直列抵抗体は、逐次比較型 A/D コンバータの変換精度（例えば m ビット）に応じて、 2^m 個（ \uparrow はべき乗）の抵抗を直列接続したものとなる。つまり、直列抵抗体の個数は、逐次比較型 A/D コンバータの変換精度（分解能）の向上に伴って、べき乗の単位で膨大に増加することとなる。例えば、逐次比較型 A/D コンバータの変換精度を 8 ビットから 10 ビットへ向上させると、直列抵抗体の個数は 256 個から 1024 個へ増加することとなる。したがって、上記の逐次比較型 A/D コンバータでは、直列抵抗体の個数が多いので、直列抵抗体の配置面積が大きくなるとともにコストアップする問題があった。さらには、上記の逐次比較型 A/D コンバータを内蔵するマイクロコンピュータでは、チップ面積が大きくなる問題があった。

【0003】

そこで、本願出願人は、上記の問題を解決することを目的とする逐次比較型 A/D コンバータを出願している（例えば、特許文献 1 参照）。この逐次比較型 A/D コンバータは、基準値が入力される側の比較器の入力と接地との間に複数の容量素子を並列接続するとともに、複数の容量素子の充電電圧の平均値を基準値とすることによって、変換精度を向上させている。

【0004】

【特許文献 1】

特開 2001-53612 号公報

【0005】

【発明が解決しようとする課題】

しかしながら、特許文献1の逐次比較型ADコンバータでは、変換精度の向上に伴う直列抵抗体の増加を防止できるものの、複数の容量素子の充電タイミングを適切に制御する必要があるため、そのための制御素子が増加し且つそのための制御が複雑となる問題があった。

【0006】**【課題を解決するための手段】**

前記課題を解決するための主たる発明は、アナログ値を m ビットのデジタル値に変換するための基準値を各接続部に発生する直列抵抗体と、前記アナログ値および前記基準値の何れかを順次比較してデジタル値を出力する比較器と、を有する逐次比較型ADコンバータにおいて、前記基準値の何れかを容量比で分配する複数の容量素子と、前記比較器が m ビットのデジタル値を出力したとき、前記比較器で前記アナログ値と比較される値を、前記基準値から前記複数の容量素子の分配値へ切り替える制御部と、を備え、前記アナログ値を $(m+n)$ ビットのデジタル値に変換することを特徴とする逐次比較型ADコンバータである。

本発明の上記以外の特徴とするところは、本明細書および添付図面の記載により明らかとなる。

【0007】**【発明の実施の形態】**

=== 開示の概要 ===

本明細書及び添付図面の記載により少なくとも以下の事項が明らかとなる。

アナログ値を m ビットのデジタル値に変換するための基準値を各接続部に発生する直列抵抗体と、前記アナログ値および前記基準値の何れかを順次比較してデジタル値を出力する比較器と、を有する逐次比較型ADコンバータにおいて、前記基準値の何れかを容量比で分配する複数の容量素子と、前記比較器が m ビットのデジタル値を出力したとき、前記比較器で前記アナログ値と比較される値を、前記基準値から前記複数の容量素子の分配値へ切り替える制御部と、を備え、前記アナログ値を $(m+n)$ ビットのデジタル値に変換することを特徴とする逐次比較型ADコンバータ。この逐次比較型ADコンバータによれば、比較器でアナ

ログ値と比較される値を、直列抵抗体の基準値から複数の容量素子の分配値へ切り替えて、 m ビット以降の下位 n ビットのデジタル値を求めることとしている。これにより、複数の容量素子の分配値を使用する簡単な構成で、逐次比較型 A/D コンバータの変換精度を確実に向上させることができる。なお、直列抵抗体の個数は、逐次比較型 A/D コンバータの変換精度が向上しても、増加することはない。

【0008】

また、かかる逐次比較型 A/D コンバータにおいて、前記複数の容量素子は、前記直列抵抗体の所定の接続部に発生する基準値の差を、前記容量比で分配することとする。この逐次比較型 A/D コンバータによれば、直列抵抗体の所定の基準値の差（最小単位の電位差）を容量比で細分化するので、逐次比較型 A/D コンバータの変換精度を確実に向上させることができる。

【0009】

また、かかる逐次比較型 A/D コンバータにおいて、前記複数の容量素子は、第 1 容量素子および第 2 容量素子からなり、前記第 1 容量素子および前記第 2 容量素子は、前記基準値の何れかと接地との間に直列接続され、前記第 1 容量素子および前記第 2 容量素子の接続部は、前記比較器で前記アナログ値が入力されない側の入力と接続されることとする。この逐次比較型 A/D コンバータによれば、2 個の容量素子を使用する簡単な構成で、逐次比較型 A/D コンバータの変換精度を確実に向上させることができる。

【0010】

また、かかる逐次比較型 A/D コンバータにおいて、前記第 1 容量素子および前記第 2 容量素子の容量比は、前記 $(m+n)$ ビットに応じて、 $1 : (2^n - 1)$ であることとする。この逐次比較型 A/D コンバータによれば、2 個の容量素子の容量比を上記の値に設定することにより、逐次比較型 A/D コンバータの変換精度を容易に可変とすることができる。

【0011】

また、かかる逐次比較型 A/D コンバータにおいて、前記制御部の出力に基づいて、前記基準値が前記比較部へ入力されるのをオンオフするスイッチ回路を、有

することとする。この逐次比較型 A/D コンバータによれば、直列抵抗体の基準値と複数の容量素子の分配値とを確実に切り替えることができる。

【0012】

また、上記の逐次比較型 A/D コンバータを有することを特徴とするマイクロコンピュータ。このマイクロコンピュータによれば、高い変換精度を有する逐次比較型 A/D コンバータを小面積のチップ上に形成することができる。

【0013】

=== 逐次比較型 A/D コンバータの構成 ===

図 1 を参照しつつ、本発明の逐次比較型 A/D コンバータの構成について説明する。図 1 は、本発明の逐次比較型 A/D コンバータを示す図である。なお、本実施形態では、逐次比較型 A/D コンバータは、10 ビットの変換精度を有することとする。例えば、この逐次比較型 A/D コンバータは、直列抵抗体の基準値を基に 8 ビットのデジタル値を求め、さらに、複数の容量素子の分配値を基に 2 ビットのデジタル値を求めることとする。

【0014】

図 1 において、直列抵抗体 2 は、アナログ電圧（アナログ値）と比較される基準電圧（基準値）を各接続部に発生するものである。つまり、直列抵抗体 2 は、抵抗値 R を有する 256（ $=2^8$ ）個の抵抗を電源 V_{dd} と接地との間に直列接続し、各接続部の分圧電圧を基準電圧として発生するものである。

【0015】

トランスミッションゲート 4 は、直列抵抗体 2 の各接続部と 1 対 1 に対応するものである。つまり、直列抵抗体 2 の各接続部に発生する基準電圧は、各トランスミッションゲート 4 の一端に供給されている。そして、何れか 1 個のトランスミッションゲート 4 が比較器（後述）の出力に応じて 1/2 近似法で順次オンすることによって、該当する 8 レベルの基準電圧がトランスミッションゲート 4 の他端から得られる。本実施形態の逐次比較型 A/D コンバータでは、この 8 レベルの基準電圧を基に、8 ビット（ m ビット）のデジタル値 D_9 （最上位ビット MSB）～ D_2 を求めることとなる。

【0016】

トランスミッションゲート 6 は、直列抵抗体 2 の連続する 4 個の接続部 C 1 ~ C 4 と 1 対 1 に対応するものである。つまり、直列抵抗体 2 の接続部 C 1 ~ C 4 に発生する基準電圧 $V_1 \sim V_4$ は、各トランスミッションゲート 6 の一端に供給されている。また、逐次比較型 A/D コンバータがデジタル値 $D_9 \sim D_2$ を求めている間は、直列抵抗体 2 の接続部 C 1 と対応するトランスミッションゲート 6 がオンして、基準電圧 V_1 のみが上記のトランスミッションゲート 6 の他端から得られる。そして、逐次比較型 A/D コンバータがデジタル値 $D_9 \sim D_2$ を求めた後は、トランスミッションゲート 6 が上記の比較器の出力に応じてオンオフすることによって、基準電圧 $V_2 \sim V_4$ がトランスミッションゲート 6 の他端から適宜の順序で得られる。本実施形態の逐次比較型 A/D コンバータでは、この 4 レベルの基準電圧 $V_1 \sim V_4$ を基に、2 ビット (n ビット) のデジタル値 D_1 および D_0 (最下位ビット L S B) を求めることとなる。なお、トランスミッションゲート 6 は、トランスミッションゲート 4 の一部を兼用することとしてもよい。また、直列抵抗体 2 の接続部 C 1 ~ C 4 は、図 1 の位置に限定されるものではない。連続する 4 個の接続部であるならば、直列抵抗体 2 の如何なる位置の接続部であってもよい。また、直列抵抗体 2 とは別の直列抵抗体 (不図示) から基準電圧 $V_1 \sim V_4$ を得ることとしてもよい。

【0017】

コンデンサ 8 (第 1 容量素子) とコンデンサ 10 (第 2 容量素子) は、1 : 3 ($1 : (2^n - 1)$) の容量比を有し、トランスミッションゲート 6 の共通の他端と接地との間に直列接続されるものである。コンデンサ 8、10 は、4 個のトランスミッションゲート 6 を適宜の順序でオンオフすることによって、4 個のトランスミッションゲート 6 の他端から得られる差電圧 (変化) を上記の容量比で分圧する。これにより、コンデンサ 8、10 の接続部からは、上記の差電圧の分圧電圧が得られる。例えば、直列抵抗体 2 の各抵抗の抵抗値 R は等しいので、各抵抗の電位差を ΔV とする。このとき、トランスミッションゲート 6 の他端からは、差電圧 ΔV 、 $2\Delta V$ が得られ、コンデンサ 8、10 の接続部からは、分圧電圧 $\Delta V/4$ 、 $\Delta V/2$ 、 $3\Delta V/4$ という、1 個の抵抗の電位差 ΔV を細分化した電圧が得られることとなる。なお、コンデンサ 8、10 の動作の詳細について

は後述する。

【0 0 1 8】

比較器 1 2 の + (非反転入力) 端子は、アナログ電圧が入力される端子である。比較器 1 2 の - (反転入力) 端子は、トランスミッションゲート 1 4 を介してトランスミッションゲート 4 の共通の他端と接続されるとともに、コンデンサ 8、1 0 の接続部と接続されている。つまり、比較器 1 2 は、トランスミッションゲート 1 4 (スイッチ回路) がオンしているとき、アナログ電圧とトランスミッションゲート 4 を通過する基準電圧との大小を比較することによってデジタル値 D 9 ~ D 2 を出力し、その後、トランスミッションゲート 1 4 がオフすると、アナログ電圧とコンデンサ 8、1 0 の接続部の分圧電圧とを比較することによってデジタル値 D 1 および D 0 を出力する。レジスタ 1 6 は、比較器 1 2 から得られる 1 0 ビットのデジタル値 D 9 ~ D 0 を保持するものである。

【0 0 1 9】

制御部 1 8 は、比較器 1 2 から得られる各ビットのデジタル値が順次入力され、このデジタル値とその論理 ("1" または "0") に応じて、トランスミッションゲート 4、6、1 4 のオンオフを制御するものである。制御部 1 8 は、初期状態において、トランスミッションゲート 1 4 をオンするとともに、電源電圧 V d d の中間電圧 $V d d / 2$ と対応するトランスミッションゲート 4 をオンする。これにより、比較器 1 2 は、最上位ビットのデジタル値 D 9 を出力することとなる。その後、制御部 1 8 は、比較器 1 2 から得られる 1 ビット上位のデジタル値の論理に応じて、1 / 2 近似法でトランスミッションゲート 4 の何れか 1 個を選択的にオンする。これにより、比較器 1 2 は、デジタル値 D 8 ~ D 2 を出力することとなる。その後、制御部 1 8 は、比較器 1 2 から得られるデジタル値 D 2 に応じてトランスミッションゲート 1 4 をオフするとともに、比較器 1 2 から得られる 1 ビット上位のデジタル値の論理に応じて、1 / 2 近似法でトランスミッションゲート 6 を選択的にオンする。これにより、比較器 1 2 は、デジタル値 D 1 および D 0 を出力することとなる。

【0 0 2 0】

=== 逐次比較型 A D コンバータの動作 ===

次に、図2を参照しつつ、本発明の逐次比較型ADコンバータの動作について説明する。図2は、本発明の逐次比較型ADコンバータの要部を示す図である。なお、比較器12がデジタル値D9～D2を出力するための動作は、従来の逐次比較型ADコンバータと同様であるので、その説明を省略することとする。

【0021】

先ず、制御部18は、比較器12から得られる1ビット上位のデジタル値D3の論理に応じて、基準電圧VMと対応するトランスミッションゲート4をオンすることとする。このとき、コンデンサ8、10の接続部の電圧は、基準電圧VMに保持される。また、比較器12は、アナログ電圧と基準電圧VMとの大小の比較結果に基づいて、デジタル値D2を制御部18に出力する。これにより、上記のアナログ電圧は、基準電圧VMと基準電圧VNとの差電圧 ΔV の間に存在することとなる。

【0022】

制御部18は、比較器12からデジタル値D2が供給されることによって、トランスミッションゲート4、14をオフする。すなわち、直列抵抗体2の基準電圧とコンデンサ8、10の分圧電圧とを切り替える。これにより、直列抵抗体2の各接続部に発生する基準電圧は、比較器12の一端子へ供給されることはなくなる。また、制御部18は、トランスミッションゲート6Aをオフするとともにトランスミッションゲート6Cをオンする。このとき、トランスミッションゲート6A～6Dの他端の差電圧は $2\Delta V (=V_3 - V_1)$ となる。コンデンサ8、10は、この差電圧 $2\Delta V$ を容量比1:3で分圧して分圧電圧 $\Delta V/2$ を得る。これにより、コンデンサ8、10の接続部からは、基準電圧VMと基準電圧VNとの中間電圧 $(VM + \Delta V/2)$ が新しい基準電圧として得られることとなる。比較器12は、アナログ電圧と基準電圧 $(VM + \Delta V/2)$ との大小の比較結果に基づいて、論理が"1"または"0"のデジタル値D1を制御部18に出力する。

【0023】

デジタル値D1の論理が"1"のとき、上記のアナログ電圧は、基準電圧 $(VM + \Delta V/2)$ と基準電圧VNとの差電圧 $\Delta V/2$ の間に存在することとなる。制御部18は、比較器12から論理"1"のデジタル値D1が供給されることによっ

て、トランスミッションゲート 6C をオフするとともにトランスミッションゲート 6D をオンする。このとき、トランスミッションゲート 6A ～ 6D の他端の差電圧は $\Delta V (=V_4 - V_3)$ となる。コンデンサ 8、10 は、この差電圧 ΔV を容量比 1 : 3 で分圧して分圧電圧 $\Delta V / 4$ を得る。これにより、コンデンサ 8、10 の接続部からは、基準電圧 $(V_M + \Delta V / 2)$ と基準電圧 V_N との中間電圧 $(V_M + 3 \Delta V / 4)$ が新しい基準電圧として得られることとなる。比較器 12 は、アナログ電圧と基準電圧 $(V_M + 3 \Delta V / 4)$ との大小の比較結果に基づいて、論理が "1" または "0" のデジタル値 D_0 を制御部 18 に出力する。

【0024】

一方、デジタル値 D_1 の論理が "0" のとき、上記のアナログ電圧は、基準電圧 V_M と基準電圧 $(V_M + \Delta V / 2)$ との差電圧 $\Delta V / 2$ の間に存在することとなる。制御部 18 は、比較器 12 から論理 "0" のデジタル値 D_1 が供給されることによって、トランスミッションゲート 6C をオフするとともにトランスミッションゲート 6B をオンする。このとき、トランスミッションゲート 6A ～ 6D の他端の差電圧は $-\Delta V (=V_2 - V_3)$ となる。コンデンサ 8、10 は、この差電圧 $-\Delta V$ を容量比 1 : 3 で分圧して分圧電圧 $-\Delta V / 4$ を得る。これにより、コンデンサ 8、10 の接続部からは、基準電圧 V_M と基準電圧 $(V_M + \Delta V / 2)$ との中間電圧 $(V_M + \Delta V / 4)$ が新しい基準電圧として得られることとなる。比較器 12 は、アナログ電圧と基準電圧 $(V_M + \Delta V / 4)$ との大小の比較結果に基づいて、論理が "1" または "0" のデジタル値 D_0 を制御部 18 に出力する。

【0025】

制御部 18 では、比較器 12 から最下位ビットのデジタル値 D_0 が供給されることによって、動作を停止する。これにより、アナログ電圧から 10 ビットのデジタル値 $D_9 \sim D_0$ を得ることができる。

【0026】

以上より、2 個のコンデンサの容量比を適宜設定することによって、逐次比較型 AD コンバータの変換精度を 8 ビットから 10 ビットへ確実に向上させることができる。

【0027】

===マイクロコンピュータへの適用===

本実施形態の逐次比較型ADコンバータは、2個のコンデンサの容量比を用いて、高い変換精度を得るものである。これにより、逐次比較型ADコンバータを内蔵するマイクロコンピュータとしては、高い変換精度を有する逐次比較型ADコンバータを小面積のチップ上に形成することができる。また、2個のコンデンサの容量比を用いるので、数pF程度の集積化可能な容量を設定することができる。

【0028】

===その他の実施形態===

以上、本発明に係る逐次比較型ADコンバータおよびマイクロコンピュータについて説明したが、上記した発明の実施の形態は、本発明の理解を容易とするためのものであり、本発明を限定するものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得るとともに、本発明にはその等価物が含まれることはもちろんである。

【0029】

《容量素子の容量比》

本実施形態では、コンデンサ8、10の容量比は1:3であるが、これに限定されるものではない。つまり、コンデンサ8:10の容量比は、逐次比較型ADコンバータの変換精度に応じて、 $1:(2^n - 1)$ で設定されればよいこととなる。例えば、逐次比較型ADコンバータの変換精度を3ビット向上させるとき、コンデンサ8、10の容量比は1:7となる。また、逐次比較型ADコンバータの変換精度を4ビット向上させるとき、コンデンサ8、10の容量比は1:15となる。これにより、コンデンサ8、10の容量比と、トランスマッションゲート6の個数とを適宜設定することにより、逐次比較型ADコンバータの変換精度を容易に可変とすることができる。

【0030】

《容量素子の数》

本実施形態では、コンデンサの数は2個であるが、これに限定されるものではない。例えば、3個以上のコンデンサを直列接続し、これらのコンデンサの所定

の接続部から $1 : (2^n - 1)$ となる分圧電圧を得ることとしてもよい。これにより、既成のコンデンサを有効に活用することができる。

【0031】

《スイッチ回路》

本実施形態では、スイッチ回路は、双方向入力のトランスミッションゲート 14 であるが、これに限定されるものではない。例えば、一方向入力のバイポーラトランジスタまたは MOS トランジスタを適用することとしてもよい。

【0032】

【発明の効果】

本発明によれば、複数の容量素子の分配値を使用する簡単な構成で、逐次比較型 A/D コンバータの変換精度を確実に向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の逐次比較型 A/D コンバータを示す図である。

【図 2】

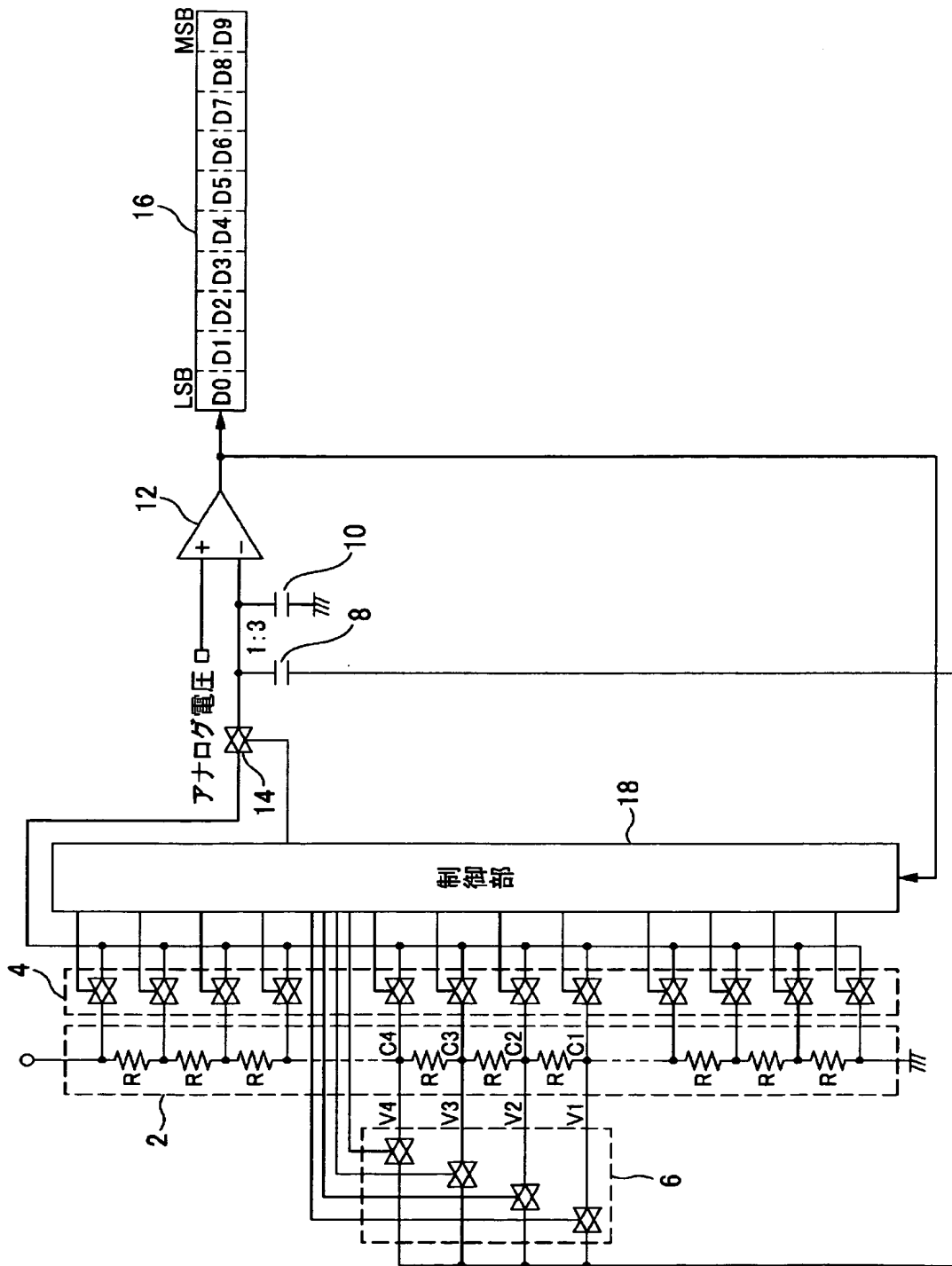
本発明の逐次比較型 A/D コンバータの要部を示す図である。

【符号の説明】

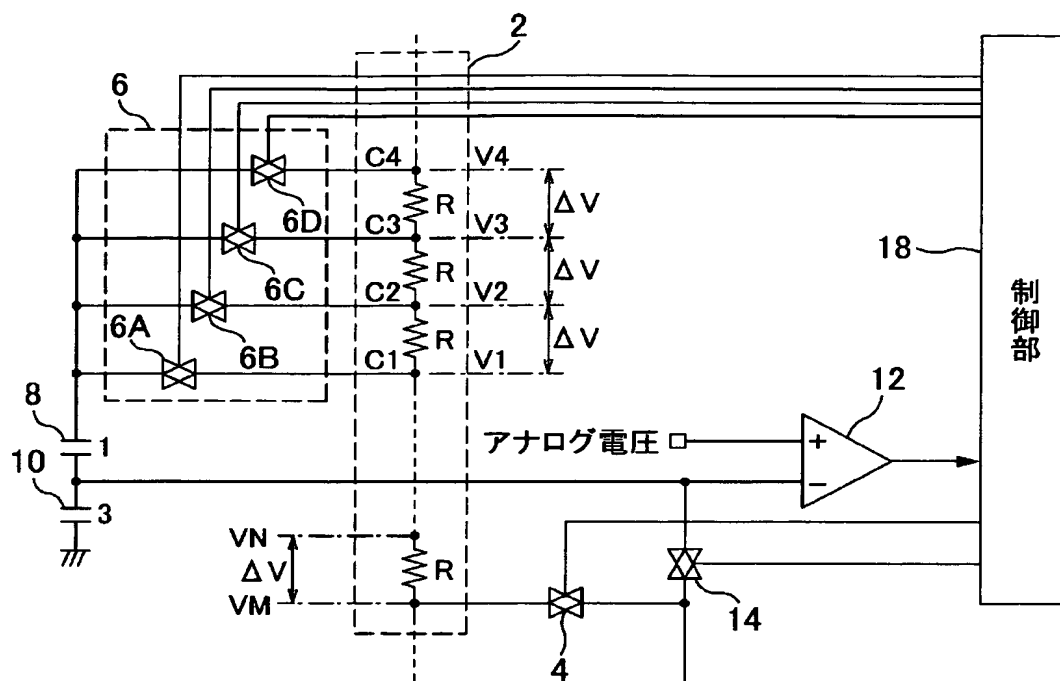
- 2 直列抵抗体
- 4、6、14 トランスミッションゲート
- 8、10 コンデンサ
- 12 比較器
- 16 レジスタ
- 18 制御部

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 簡単な構成で逐次比較型 A D コンバータの変換精度を向上させる。

【解決手段】 アナログ値を m ビットのデジタル値に変換するための基準値を各接続部に発生する直列抵抗体と、前記アナログ値および前記基準値の何れかを順次比較してデジタル値を出力する比較器と、を有する逐次比較型 A D コンバータにおいて、前記基準値の何れかを容量比で分配する複数の容量素子と、前記比較器が m ビットのデジタル値を出力したとき、前記比較器で前記アナログ値と比較される値を、前記基準値から前記複数の容量素子の分配値へ切り替える制御部と、を備え、前記アナログ値を $(m + n)$ ビットのデジタル値に変換することを特徴とする。

【選択図】 図 1

特願 2 0 0 2 - 3 4 5 1 1 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社